

Architecture Matérielle

Architectures des ordinateurs

IDENTIFICATION

CODE : IF-3-S1-EC-AO
ECTS : 2.0

HORAIRES

Cours : 9.0 h
TD : 4.0 h
TP : 12.0 h
Projet : 0.0 h
Face à face
pédagogique : 25.0 h
Travail personnel : 25.0 h
Total : 50.0 h

ÉVALUATION

Examen écrit (1h30). Contrôle continu par QCM sur Moodle.

SUPPORTS PÉDAGOGIQUES

Lecture notes for the course, work sheets for classwork and labs [in French]

LANGUE D'ENSEIGNEMENT

Français

CONTACT

M. MOREL Lionel
lionel.morel@insa-lyon.fr

OBJECTIFS RECHERCHÉS PAR CET ENSEIGNEMENT

L'objectif de ce cours est de comprendre

- la construction et le fonctionnement d'un ordinateur moderne (processeur, hiérarchie mémoire, périphériques et leurs interfaces matérielles)
- les fondements de l'exécution d'un programme sur une machine (langage assembleur, application binary interface, interruptions, entrées/sorties, compilation)

Cet EC contribue aux :

*** Compétences spécifiques IF ***

== C04 Maîtriser l'organisation générale d'une machine à base de microprocesseur (niveau 1.3)

==

* Capacités :

- Concevoir un microprocesseur (niveau 2)
- Utiliser les conventions d'appel et de passage de paramètre (niveau 1)
- Exploiter dans une application les caractéristiques de la machine (types natifs, hiérarchie mémoire, etc) (niveau 1)
- Utiliser les différents modes d'adressage (niveau 1)
- Assembler ou désassembler un programme en langage machine (niveau 1)
- Exploiter les mécanismes d'entrées/sorties (niveau 2)

* Connaissances :

- Instruction set architecture : exemples (ARM, x86, MSP430)
- Interruptions (usage et implémentation dans le cycle de von Neumann)
- Architecture de von Neumann : cycle fetch-decode-execute-write back
- Hiérarchie de mémoire (caches, mémoire virtuelle)
- Instruction set architecture : principes, objectifs, historique
- Parallélisme des tâches et des données, GPU
- Parallélisme des instructions (pipelining)

== C06 Maîtriser les mécanismes essentiels d'un OS (niveau 1) ==

* Capacités :

- Concevoir un pilote d'E/S (niveau 1)

En mobilisant les compétences suivantes

- A4 Concevoir un système répondant à un cahier des charges
- C01 Construire et analyser des circuits numériques
- C03 Coder, décoder, transmettre l'information numérique

PROGRAMME

Cours:

- construction d'un processeur simple: du jeu d'instruction à l'architecture
- panorama commenté de jeux d'instructions représentatifs (x86, ARM, MSP430)
- exploitation du parallélisme d'instruction (pipeline, superscalarité, SIMD)
- hiérarchies mémoire et mémoire virtuelle

TP/TD

- construction et simulation d'un processeur
- programmation d'un système embarqué à base de microcontrôleur MSP430
- gestion d'un système complet (entrées sorties, interruptions)
- optimisation pour la performance

BIBLIOGRAPHIE

Tanenbaum. Architecture de l'ordinateur.

Hennessy and Patterson. Computer architecture, a quantitative approach.

INSA LYON

Campus LyonTech La Doua

20, avenue Albert Einstein - 69621 Villeurbanne cedex - France

Tel. +33 (0)4 72 43 83 83 - Fax +33 (0)4 72 43 85 00

www.insa-lyon.fr

PRÉ-REQUIS

Un cours de base sur les circuits numériques, par exemple IF-3-AC

INSA LYON

Campus LyonTech La Doua

20, avenue Albert Einstein - 69621 Villeurbanne cedex - France

Tel. +33 (0)4 72 43 83 83 - Fax +33 (0)4 72 43 85 00

www.insa-lyon.fr